

Method for producing micro-system chip by injection compression molding

Publication number: TW505616B
Publication date: 2002-10-11
Inventor: HUANG JUNG-TANG (TW); HE YU-LUN (TW)
Applicant: CHIEN HUI CHUAN (TW)
Classification:
- **international:** **B81C1/00; B81C1/00; (IPC1-7): B81C1/00**
- **European:**
Application number: TW20010111119 20010510
Priority number(s): TW20010111119 20010510

[Report a data error here](#)

Abstract of **TW505616B**

The present invention combines injection compression molding and micro-electromechanical techniques to product minute patterns, such as micro-flow-channel, micro-channel, cavities, etc., that are required in the production of a micro-system chip, on a plastic material. The method is characterized in adopting an optical disk injection molding production method and an micro-electromechanical technique to produce a minute pattern on a stamper, and using a micro-electromechanical process to produce a micro-heater array module. Such a module is mounted in a mold. The micro-heaters can locally control the heating characteristics so that the plastic material has a goof flow property at the narrowing spots or spots with a larger thickness variation in the structure during the filling or compression process. Furthermore, the micro-heater can also be used to adjust the temperature distribution of a larger area or a thinner element in order to reduce the problem of deformation and the occurrence of seam line caused by inconsistent shrinkage during cooling due to a larger overall temperature difference. The present invention can be applied on a micro-system chip, e.g. a communication chip, an optical chip, and a bio-chip, etc. A plastic sheet produced by an injection compression according to the present invention can reach a wafer size of 6-8 inches and can be used directly for wafer scale encapsulation on a substrate with an IC or micro-electromechanical elements thereon, thereby reducing the cost.

.....
Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-204291

(43) 公開日 平成6年(1994)7月22日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	6918-4M		
21/56	E	8617-4M		
23/28	C	8617-4M		

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平4-360574

(22) 出願日 平成4年(1992)12月28日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 津守 昌彦

京都市右京区西院溝崎町21番地 ローム株式会社内

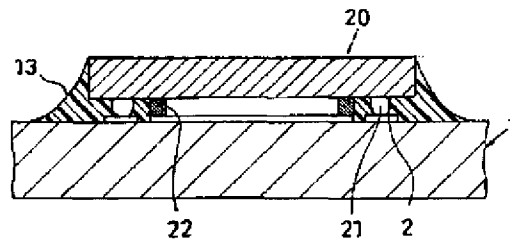
(74) 代理人 弁理士 杉谷 勉

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 半導体装置の電気的特性を劣化させることなく、しかも十分な信頼性を確保することができる半導体装置を提供する。

【構成】 半導体素子20の表面に形成された金属パンプ21の内側に、金属パンプ21と同じ金属材料からなるリング状のダム22を形成することによって、低粘度の封止用樹脂13が半導体素子20の主要回路領域に流れ込むのを防止する。



【特許請求の範囲】

【請求項1】 半導体素子とその表面を下側にして基板上に実装され、前記表面に形成された金属パンプと前記基板上に形成されたリードパッドとが電気的に接続される半導体装置において、前記半導体素子は低粘度の樹脂で封止されており、かつ、前記半導体素子は前記封止樹脂の内部への流れ込みを防止する畝状突起（ダム）を備えていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主として高速動作の半導体装置や、マイクロ波を発振、増幅する半導体装置に係り、特に、半導体素子がフリップチップ方式で基板上に組み込まれた半導体装置に関する。

【0002】

【従来の技術】 従来、半導体素子を基板上に実装する方法として、ワイヤーボンディング方式とフリップチップ方式とがある。ワイヤーボンディング方式は、確立された適用容易な実装方式ではあるが、上記のような動作周波数の高い半導体装置に適用すると、半導体素子の電極と基板とを電気接続する金属細線がインダクタンス成分をもつので、インピーダンスマッチング不良による入出力反射率の増加や、信号の減衰を引き起こすという難点がある。

【0003】 そこで、上記のような動作周波数の高い半導体装置の実装方式としては、フリップチップ方式が適している。以下、図5を参照して、フリップチップ方式で実装された半導体装置の構成を説明する。

【0004】 図中、符号1は実装基板であり、その表面にリードパッド2が形成されている。符号3は半導体素子で、その表面（図では下面）に、電極としての金属パンプ4が形成されている。上記のような半導体素子3をフェイスダウンボンディング（表面を下にして行うボンディング）することにより、各金属パンプ4が所定のリードパッド2に一括接続される。半導体素子3のボンディング後、金属パンプ4への応力集中を避けるとともに、半導体素子3の耐湿性を確保するために、半導体素子3を樹脂5で封止している。

【0005】

【発明が解決しようとする課題】 しかしながら、上述したフリップチップ方式の実装方式によれば、封止用の樹脂5が半導体素子3と実装基板1との間に流れ込むので、半導体素子3の信号線路間の寄生容量が増加し、例えば図6に示すように、高周波数域で電力利得が低下するなどといった電気特性の劣化を招くという問題がある。

【0006】 このような問題点を解決するために、フェイスダウンボンディングされた半導体素子3を高粘度の樹脂で封止することにより、半導体素子と基板間に樹脂が

流れ込むのを防止した半導体装置が提案されている（特開平4-217335号公報）。

【0007】 しかしながら、高粘度の樹脂を使って封止すると、基板表面と樹脂との密着性が低くなるので、十分な耐湿性を得ることができず、また、温度サイクルを加えると、基板表面と樹脂との界面が剥離するおそれもある。

【0008】 本発明は、このような事情に鑑みてなされたものであって、半導体装置の電気的特性を劣化させることなく、しかも高い信頼性を得ることができる半導体装置を提供することを目的としている。

【0009】

【課題を解決するための手段】 本発明は、このような目的を達成するために、次のような構成をとる。すなわち、本発明は、半導体素子3がその表面を下側にして基板上に実装され、前記表面に形成された金属パンプと前記基板上に形成されたリードパッドとが電気的に接続される半導体装置において、前記半導体素子3は低粘度の樹脂で封止されており、かつ、前記半導体素子3は前記封止樹脂の内部への流れ込みを防止する畝状突起（ダム）を備えたものである。

【0010】

【作用】 本発明の作用は次のとおりである。本発明によれば、半導体素子3の表面に形成された畝状突起によって、低粘度の封止樹脂の内部への流れ込みが阻止される。

【0011】

【実施例】 以下、図面を参照して本発明の一実施例を説明する。

＜第1実施例＞ 図1は第1実施例に用いられる半導体素子3の外観斜視図、図2は実装状態を示す断面図である。図1に示すように、半導体素子3は、その表面の周辺部に複数の金属パンプ11が形成されている。金属パンプ11としては、ハンダあるいは金などの金属材料が用いられる。金属パンプ11の形成手法は特に限定しないが、半導体ウエハ状態において、メッキ法、蒸着法、あるいはスクリーン印刷法などによって形成される。

【0012】 各金属パンプ11の間に、本発明における畝状突起に相当するダム12が形成されている。ダム12は、例えばポリイミド樹脂などのように耐熱性があり、比較的誘電率の低い樹脂で形成されており、その高さは金属パンプ11よりも若干（5μm程度）低くなっている。ダム12は、半導体ウエハ状態において感光性のポリイミド樹脂をスピンコートし、これを露光・現像することにより形成される。

【0013】 上述した半導体素子3を、図2に示すように、表面を下側にして実装基板1上に搭載し、加熱下で押圧することにより、各金属パンプ11と基板1のリードパッド2とを接続する。半導体素子3をフェイスダウンボンディングした後、エポキシ樹脂などの低粘度

3

の樹脂13を滴下し、これを熱硬化することによって半導体素子10を封止する。図2では、半導体素子10の周辺部のみを樹脂13で覆っているが、半導体素子10の全体を覆ってもよい。樹脂13の粘度は、5000～50000cPが好ましい。粘度が低すぎると、滴下された樹脂が基板表面に拡がり、半導体素子10を覆う樹脂量が少なくなるので、封止効果および補強効果が小さくなる。また、粘度が高くなると、上述したように基板1との密着性が低下し十分な信頼性が得られない。

【0014】上記のような低粘度の樹脂13が滴下されたとき、金属パンプ11間のダム12によって、前記樹脂13が実装基板1と半導体素子10との間へ流れ込むのが阻止され、両者間に空間が形成されるので、半導体装置の動作周波数が低下するということはない。なお、ダム12は実装基板1の表面に必ずしも密着させる必要はなく、実装基板1との間に数μm程度の間隙があっても、樹脂13の粘性によって内部への樹脂の流入を防止することができる。

【0015】＜第2実施例＞図3は第2実施例に用いられる半導体素子の外観斜視図、図4は実装状態を示す断面図である。図3に示すように、本実施例の半導体素子20は、金属パンプ21の内側にリング状のダム22を備えている。ダム22は、第1実施例と同様の樹脂によって形成してもよいが、本実施例では、金属パンプ21と同じ金属材料で形成している。そうすることにより、半導体ウエハ状態において、メッキ法、蒸着法、あるいはスクリーン印刷法などによって、ダム22と金属パンプ21とを同時に形成することができるので、第1実施例よりも工程数を削減することができる。

【0016】図4に示すように、本実施例によっても、第1実施例と同様に、低粘度の封止樹脂13が実装基板1と半導体素子20との間へ流れ込むのを有効に防止することができる。

【0017】なお、リング状のダム22は、樹脂が流入することにより動作周波数の低下をきたすような半導体

4

素子の主要回路部分を取り囲めば十分であり、必ずしも半導体素子20の全回路領域を取り囲む必要性はない。逆に、主要回路部分のみを取り囲むようにすれば、それだけ樹脂13で封止される領域が増えるので、半導体素子20の信頼性を向上することができる。

【0018】また、第2実施例では、金属パンプ21の内側にリング状のダム22を配設したが、金属パンプ21の外側にリング状のダム22を配設しても同様の効果を得ることができる。

【0019】

【発明の効果】以上の説明から明らかなように、本発明によれば、半導体素子が低粘度の樹脂で封止されるので、前記封止樹脂と実装基板との密着性が高まり、信頼性を向上することができる。しかも、半導体素子の表面に形成された畝状突起（ダム）によって、低粘度の封止樹脂が実装基板と半導体素子との間に流れ込むのを防止できるので、半導体装置の電気的特性が劣化することもない。

【図面の簡単な説明】

【図1】本発明の第1実施例で使用する半導体素子の外観斜視図である。

【図2】第1実施例に係る半導体装置の断面図である。

【図3】第2実施例で使用する半導体素子の外観斜視図である。

【図4】第2実施例に係る半導体装置の断面図である。

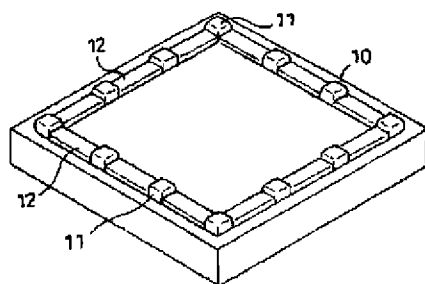
【図5】従来の半導体装置の断面図である。

【図6】樹脂コートの有無による周波数－電力利得特性を比較した特性図である。

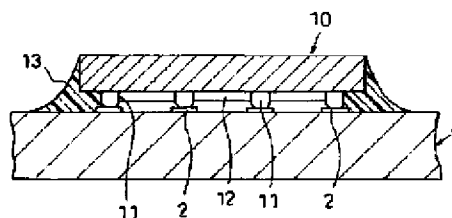
【符号の説明】

- 1…実装基板
- 2…リードパッド
- 10、20…半導体素子
- 11、21…金属パンプ
- 12、22…ダム（畝状突起）
- 13…低粘度封止樹脂

【図1】

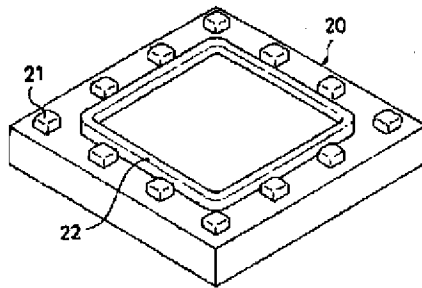


【図2】

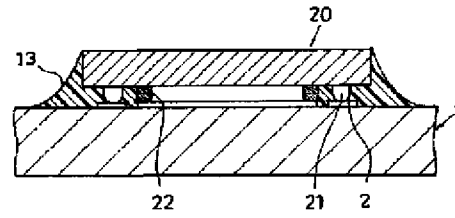


(4)

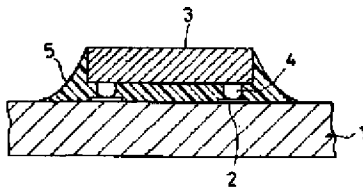
【図3】



【図4】



【図5】



【図6】

